



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0046295  
Application Number

출 원 년 월 일 : 2003년 07월 09일  
Date of Application JUL 09, 2003

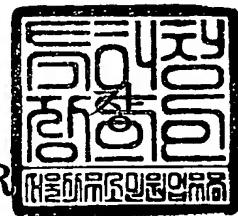
출 원 인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0006		
【제출일자】	2003.07.09		
【발명의 명칭】	반도체 소자의 구리 배선 형성 방법		
【발명의 영문명칭】	Method of forming copper wiring in semiconductor device		
【출원인】			
【명칭】	( 주)하이닉스 반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【성명】	신영무		
【대리인코드】	9-1998-000265-6		
【포괄위임등록번호】	1999-003525-1		
【발명자】			
【성명의 국문표기】	박상균		
【성명의 영문표기】	PARK, Sang Kyun		
【주민등록번호】	660808-1052415		
【우편번호】	449-912		
【주소】	경기도 용인시 구성면 마북리 629 삼거마을 삼성래미안 1차 아파트 1 11동 803호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 신영무 (인)		
【수수료】			
【기본출원료】	15	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	8	항	365,000 원
【합계】	394,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 반도체 소자의 구리 배선 형성 방법에 관한 것으로, 다마신 패턴 내에 구리 배선을 형성한 후, 전체 구조상에 구리 확산 방지 절연막을 형성하기에 앞서 특정 금속 원소를 구리 배선의 표면 및 주변의 절연막의 표면에 도핑시켜 금속 원소 도핑층을 형성하고, 이후에 실시되는 구리 확산 방지 절연막 및 저유전율 충간 절연막 각각의 증착 공정시의 열이나 별도의 열처리 공정에 의해 도핑된 특정 금속 원소가 주위의 다른 원소와 반응하여, 구리 배선과 구리 확산 방지 절연막 계면에서는 구리 합금층 및 산화금속층이 적층으로 형성되고, 절연막과 구리 확산 방지 절연막 계면에서는 산화금속층이 형성되므로, 구리 확산 방지 절연막과 그 하부의 구리 배선 및 절연막 각각과의 계면 접합성이 증대되어 배선의 신뢰성을 향상시킬 수 있다.

**【대표도】**

도 2c

**【색인어】**

구리 배선, 구리 확산 방지 절연막, 합금층, 산화금속층

**【명세서】****【발명의 명칭】**

반도체 소자의 구리 배선 형성 방법{Method of forming copper wiring in semiconductor device}

**【도면의 간단한 설명】**

도 1은 종래 반도체 소자의 구리 배선 형성 방법을 설명하기 위한 소자의 단면도.

도 2a 내지 2c는 본 발명의 실시예에 따른 반도체 소자의 구리 배선 형성 방법을 설명하기 위한 소자의 단면도.

**<도면의 주요 부분에 대한 부호의 설명>**

11, 21: 기판 12, 22: 제 1 층간 절연막

13, 23: 연마 정지층 14, 24: 다마신 패턴

15, 25: 구리 확산 방지 도전막 16, 26: 구리 배선

17, 27: 구리 확산 방지 절연막 18, 28: 제 2 층간 절연막

200: 특정 금속 원소 도핑층 210: 구리 합금층

220: 산화금속층

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 소자의 구리 배선 형성 방법에 관한 것으로, 특히 구리 확산 방지 절연막과 그 하부의 구리 배선 및 절연막 각각과의 계면 접합성을 증대시켜 배선의 신뢰성을 향상시킬 수 있는 반도체 소자의 구리 배선 형성 방법에 관한 것이다.

<11> 일반적으로, 반도체 산업이 초대규모 집적 회로(Ultra Large Scale Integration; ULSI)로 옮겨가면서 소자의 지오메트리(geometry)가 서브-하프-마이크로(sub-half-micron) 영역으로 계속 줄어드는 반면, 성능 향상 및 신뢰도 측면에서 회로 밀도(circuit density)는 증가하고 있다. 이러한 요구에 부응하여, 반도체 소자의 금속 배선을 형성함에 있어서 구리는 알루미늄에 비해 녹는점이 높아 전기이동도(electro-migration; EM)에 대한 저항이 커서 소자의 신뢰성을 향상시킬 수 있고, 비저항이 낮아 신호전달 속도를 증가시킬 수 있어, 집적 회로(integration circuit)에 유용한 상호연결 재료(interconnection material)로 사용되고 있다.

<12> 현재, 사용이 가능한 구리 매립 방법으로는 물리기상증착(PVD)법/리플로우 (reflow), 화학기상증착법(CVD), 전기 도금(Electroplating)법, 무전기 도금(Electroless-plating)법 등이 있으며, 이 중에서 선호되는 방법은 구리 매립 특성이 비교적 양호한 전기 도금법과 화학기상증착법이다.

<13> 금속 배선의 재료로 구리를 채용하면서, 반도체 소자의 구리 배선 형성 공정에 하부층과 전기적으로 연결하기 위한 비아 콘택홀 및 금속 배선이 위치되는 트렌치를 동시에 형성시키는

다마신 기법이 널리 적용되고 있으며, 다마신 패턴이 형성될 층간 절연막으로 유전율이 낮은 저유전 절연물질이 적용되고 있다.

<14> 비아 콘택홀 및 트렌치로 이루어진 다마신 패턴에 구리 배선을 형성하기 위해서는 상기 한 여러 방법으로 다마신 패턴에 구리를 매립시킨 후에 매립된 구리층을 화학적 기계적 연마 (CMP) 공정으로 연마하여 이웃하는 구리 배선과 격리(isolation)시킨다.

<15> 도 1은 종래 반도체 소자의 구리 배선 형성 방법을 설명하기 위한 소자의 단면도이다.

<16> 기판(11) 상에 제 1 층간 절연막(12) 및 연마 정지층(13)을 형성하고, 다마신 기법으로 연마 정지층(13) 및 제 1 층간 절연막(12)을 식각하여 다마신 패턴(14)을 형성한다.

<17> 다마신 패턴(14)을 포함한 연마 정지층(13) 표면을 따라 구리 확산 방지 도전막(15)을 형성하고, 다마신 패턴(14)이 충분히 매립되도록 구리층을 형성한다. 화학적 기계적 연마 공정을 연마 정지층(13)이 노출될 때까지 실시하여 다마신 패턴(14) 내에 구리 배선(16)을 형성한다. 이후, 구리 배선(16)을 포함한 전체 구조 상에 구리 확산 방지 절연막(17) 및 제 2 층간 절연막(18)을 형성한다.

<18> 상기한 종래 방법은 구리 배선(16)으로부터 구리 원자가 외부로 확산 되는 것을 방지하기 위하여 구리 확산 방지 도전막(15)과 구리 확산 방지 절연막(17)으로 구리 배선(16)을 밀봉하고 있다. 그런데, 종래 방법에 따라 형성된 구리 배선(16)을 갖는 소자는 구리 원자의 이동 (Electro-migration and stress migration)에 의해 발생하는 대부분의 배선 신뢰성 불량이, 자시 부호 "A"에 나타낸 바와 같이, 구리 확산 방지 절연막(17)과 구리 확산 방지 도전막(15) 사

이의 계면에서 일어나고 있다. 이러한 현상은 구리 확산 방지 절연막(17)과 하부층(13, 15 및 16)과의 계면 접합성 부족에 기인한다.

### 【발명이 이루고자 하는 기술적 과제】

<19> 따라서, 본 발명은 구리 확산 방지 절연막과 그 하부층과의 계면 접합성을 증대시켜 구리 배선의 구리 원자 이동을 방지하여 소자의 전기적 특성 및 신뢰성을 향상시킬 수 있는 반도체 소자의 구리 배선 형성 방법을 제공함에 그 목적이 있다.

### 【발명의 구성 및 작용】

<20> 이러한 목적을 달성하기 위한 본 발명의 실시예에 따른 반도체 소자의 구리 배선 형성 방법은 기판 상에 제 1 층간 절연막 및 연마 정지층을 형성하는 단계; 상기 연마 정지층 및 제 1 층간 절연막을 식각하여 다마신 패턴을 형성하는 단계; 상기 다마신 패턴을 포함한 상기 연마 정지층 상에 구리 확산 방지 도전막 및 구리층을 형성하는 단계; 상기 다마신 패턴 내에 구리 배선을 형성하는 단계; 상기 구리 배선을 포함한 전체 구조의 표면에 금속 원소 도핑층을 형성하는 단계; 및 상기 금속 원소 도핑층이 형성된 전체 구조 상부에 구리 확산 방지 절연막 및 제 2 층간 절연막을 형성하고, 이들 절연막 중착시의 열에 의해 상기 구리 배선과 상기 구리 확산 방지 절연막 계면에서는 구리 합금층 및 산화금속층이 형성되고, 상기 구리 배선 주변의 층들과 상기 구리 확산 방지 절연막 계면에는 산화금속층이 형성되는 단계를 포함한다.

<21> 상기에서, 상기 금속 원소 도핑층은 임플랜테이션 방법이나 플라즈마 도핑 방법으로 특정 금속 원소를 도핑시켜 형성하되, 상기 구리 합금층의 두께가 50 ~ 500 Å으로 형성되도록

그 깊이와 농도를 조절하여 형성하며, 상기 특정 금속 원소는 Mg, Cd, Be, Sn, Pd 와 같은 금속 원소이다.

<22> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세하게 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<23> 도 2a 내지 2c는 본 발명의 실시예에 따른 반도체 소자의 구리 배선 형성 방법을 설명하기 위한 소자의 단면도이다.

<24> 도 2a를 참조하면, 기판(21) 상에 제 1 층간 절연막(22) 및 연마 정지층(23)을 형성하고, 다마신 기법으로 연마 정지층(23) 및 제 1 층간 절연막(22)을 식각하여 다마신 패턴(24)을 형성한다. 다마신 패턴(24)을 포함한 연마 정지층(23) 표면을 따라 구리 확산 방지 도전막(25)을 형성하고, 다마신 패턴(24)이 충분히 매립되도록 구리층을 형성한다. 화학적 기계적 연마 공정을 연마 정지층(23)이 노출되는 시점까지 실시하여 다마신 패턴(24) 내에 구리 배선(26)을 형성한다. 구리 배선(26)을 포함한 제 1 층간 절연막(22)의 표면에 특정 금속 원소를 도핑시켜 금속 원소 도핑층(200)을 형성한다.

<25> 상기에서, 제 1 층간 절연막(22)은 배선과 배선 사이의 기생 캐패시터로 인한 문제를 해결하기 위해 저유전율을 갖는 물질로 형성하는데, 예를 들어, 유전 상수값이 1.5 내지 4.5 대역의  $SiO_2$  계열에 H, F, C,  $CH_3$  등이 부분적으로 결합되어 있는 물질이나, C-H를 기본 구조로

하는 SiLK™제품, Flare™제품 등의 유기 물질(organic material)이나, 이들 물질의 유전 상수 값을 낮추기 위해 이들 물질의 기공도(porosity)를 증가시킨 다공성(porous) 물질로 형성한다.

<26> 연마 정지층(23)은 탄소를 함유하지 않은 산화물로 형성하거나, 구리 확산 방지 특성을 가지도록 화학기상증착법(CVD)으로 질소를 함유한 실리콘 질화물 및 실리콘 질화 산화물 또는 탄소를 함유한 실리콘 카바이드 계열의 물질로 형성한다.

<27> 구리 확산 방지 도전막(25)은 ionized PVD TiN, CVD TiN, MOCVD TiN, ionized PVD Ta, ionized PVD TaN, CVD Ta, CVD TaN, CVD WN 중 어느 하나로 형성한다.

<28> 금속 원소 도핑층(200)은 임플랜테이션 방법이나 플라즈마 도핑 방법으로 특정 금속 원소를 일정 농도 및 일정 깊이로 도핑시켜 형성한다. 특정 금속 원소는 일정 온도에서 구리에 일정 농도 용해되어 합금을 형성하고, 그레인 바운더리(grain boundary)에 석출되어 구리 원자의 이동을 억제하는 특성이 있으며, 미량의 산소와 반응하여 치밀한 막질의 산화금속물을 형성하는 특성이 있는 Mg, Cd, Be, Sn, Pd 와 같은 금속 원소이다. 금속 원소 도핑층(200)은 특정 금속 원소로 인한 구리 배선의 비저항 증가를 최소화 하면서 계면 접합성을 최대화 할 수 있도록 조건을 설정하여 형성하는데, 이후에 형성될 구리 합금층의 두께가 500 Å 이하, 바람직하게는 50 ~ 500 Å, 더욱 바람직하게는 100 ~ 400 Å으로 형성되도록 깊이와 농도를 조절하여 형성한다. 이때, 도핑하는 특정 금속 원소의 농도는 10%를 넘지 않도록, 바람직하게는 1 ~ 10%, 더욱 바람직하게는 3 ~ 8%로 한다.

<29> 도 2b를 참조하면, 금속 원소 도핑층(200)이 형성된 전체 구조 상부에 구리 확산 방지 절연막(27)을 형성한다.

<30> 상기에서, 구리 확산 방지 절연막(27)은 실리콘 질화물(SiNx), 실리콘 카바이드(SiCx) 및 실리콘 질화 카바이드(SiCN)중 적어도 어느 하나의 물질을 사용하여 단층 또는 다층으로 300 Å 이상의 두께로 형성하는데, 이들 물질 모두에는 미량의 산소를 함유하도록 한다.

<31> 한편, 구리 확산 방지 절연막(27)을 형성하기 전에 구리 배선(26)을 안정화 시키면서 구리 배선(26) 표면에 생성되는 구리 산화층(도시 않음)을 제거하기 위하여 플라즈마 처리를 실시한다. 플라즈마 처리는 금속 원소 도핑층(200)을 형성하기 전에 실시하거나 금속 원소 도핑층(200)을 형성한 후 구리 확산 방지 절연막(27)을 형성하기 바로 전에 실시할 수 있으며, 금속 원소 도핑층(200)을 형성하기 위한 특정 금속 원소 도핑 중에 인-시튜(in-situ)로 실시할 수도 있다. 이러한 플라즈마 처리는 질소와 수소를 함유한 혼합가스 또는 암모니아 계열 가스를 사용하여 100 ~ 350°C의 온도 범위에서 실시한다.

<32> 도 2c를 참조하면, 구리 확산 방지 절연막(27)을 포함한 전체 구조 상에 제 2 층간 절연막(28)을 형성한다. 금속 원소 도핑층(200)의 특정 금속 원소가 주위의 다른 원소와 반응하도록 열처리 공정을 실시하고, 이로 인하여 구리 배선(26)과 구리 확산 방지 절연막(27) 계면에서는 구리 합금층(210) 및 산화금속층(220)이 적층으로 형성되고, 연마 정지층(23)과 구리 확산 방지 절연막(27) 계면에서는 산화금속층(220)이 형성된다. 또한 구리 확산 방지 도전막(25)과 구리 확산 방지 절연막(27) 계면에도 산화금속층(220)이 형성된다.

<33> 상기에서, 제 2 층간 절연막(28)은 다층 금속 배선 구조일 경우에는 전술한 제 1 층간 절연막(22)과 같이 배선과 배선 사이의 기생 캐패시터로 인한 문제를 해결하기 위해 저유전율을 갖는 물질로 형성하는 것이 바람직하지만, 단층 금속 배선 구조일 경우에는 통상적으로 반도체 소자의 층간 절연막으로 적용되는 다른 절연물로도 형성할 수 있다.

<34> 열처리 공정은 100 ~ 500 °C의 온도 범위에서 1분 이상, 바람직하게는 1 ~ 5분 동안 실시한다. 한편, 구리 합금층(210) 및 산화금속층(220)을 형성하기 위한 열처리 공정을 별도로 실시하지 않고, 구리 확산 방지 절연막(27) 및 저유전율 층간 절연막(28) 각각의 증착 공정시의 열을 이용할 수 도 있다.

<35> 구리 합금층(210)은 금속 원소 도핑층(200)의 특정 금속 원소가 열처리 공정 동안에 구리 배선(26)의 구리 원소에 용해되어 형성된다. 구리 배선(26) 윗 부분 및 구리 배선(26) 주변의 층들(23 및 25)의 윗 부분에 형성되는 산화금속층(220)은 구리 확산 방지 절연막(27)에 함유된 미량의 산소와 금속 원소 도핑층(200)의 특정 금속 원소가 결합하여 치밀한 막질로 형성된다.

### 【발명의 효과】

<36> 상술한 바와 같이, 본 발명은 구리 배선과 구리 확산 방지 절연막 계면에 구리 합금층 및 산화금속층이 적층으로 형성되고, 구리 배선 주변의 층들과 구리 확산 방지 절연막 계면에 산화금속층이 형성되어 구리 확산 방지 절연막의 계면 접합성이 증대되므로, 배선의 신뢰성 향상으로 인한 소자의 전기적 특성 및 수율을 향상시킬 수 있다.

<37>

**【특허청구범위】****【청구항 1】**

기판 상에 제 1 층간 절연막 및 연마 정지층을 형성하는 단계;

상기 연마 정지층 및 제 1 층간 절연막을 식각하여 다마신 패턴을 형성하는 단계;

상기 다마신 패턴을 포함한 상기 연마 정지층 상에 구리 확산 방지 도전막 및 구리층을 형성하는 단계;

상기 다마신 패턴 내에 구리 배선을 형성하는 단계;

상기 구리 배선을 포함한 전체 구조의 표면에 금속 원소 도핑층을 형성하는 단계; 및

상기 금속 원소 도핑층이 형성된 전체 구조 상부에 구리 확산 방지 절연막 및 제 2 층간 절연막을 형성하고, 이들 절연막 증착시의 열에 의해 상기 구리 배선과 상기 구리 확산 방지 절연막 계면에서는 구리 합금층 및 산화금속층이 형성되고, 상기 구리 배선 주변의 층들과 상기 구리 확산 방지 절연막 계면에는 산화금속층이 형성되는 단계를 포함하는 반도체 소자의 구리 배선 형성 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 금속 원소 도핑층은 임플랜테이션 방법이나 플라즈마 도핑 방법으로 특정 금속 원소를 도핑시켜 형성하되, 상기 구리 합금층의 두께가 50 ~ 500 Å으로 형성되도록 그 깊이와 농도를 조절하여 형성하는 반도체 소자의 구리 배선 형성 방법.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서,

상기 금속 원소 도핑층은 특정 금속 원소의 농도가 1 ~ 10%가 되도록 형성하는 반도체 소자의 구리 배선 형성 방법.

**【청구항 4】**

제 2 항에 있어서,

상기 특정 금속 원소는 Mg, Cd, Be, Sn, Pd 와 같은 금속 원소인 반도체 소자의 구리 배선 형성 방법.

**【청구항 5】**

제 1 항에 있어서,

상기 구리 배선 표면에 생성되는 구리 산화층을 제거하기 위하여, 상기 금속 원소 도핑층을 형성하기 전단계, 형성하는 단계 및 형성한 후단계중 적어도 어느 한 단계에서 플라즈마 처리를 실시하는 반도체 소자의 구리 배선 형성 방법.

**【청구항 6】**

제 5 항에 있어서,

상기 플라즈마 처리는 질소와 수소를 함유한 혼합가스 또는 암모니아 계열 가스를 사용하여 100 ~ 350°C의 온도 범위에서 실시하는 반도체 소자의 구리 배선 형성 방법.

#### 【청구항 7】

제 1 항에 있어서,

상기 제 2 층간 절연막 형성 후에 상기 구리 합금층 및 상기 산화금속층의 형성을 위한 열처리 공정을 실시하는 반도체 소자의 구리 배선 형성 방법.

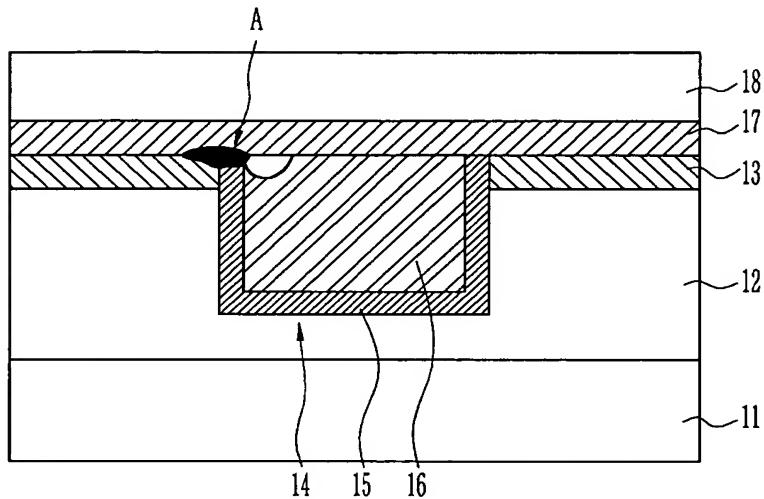
#### 【청구항 8】

제 7 항에 있어서,

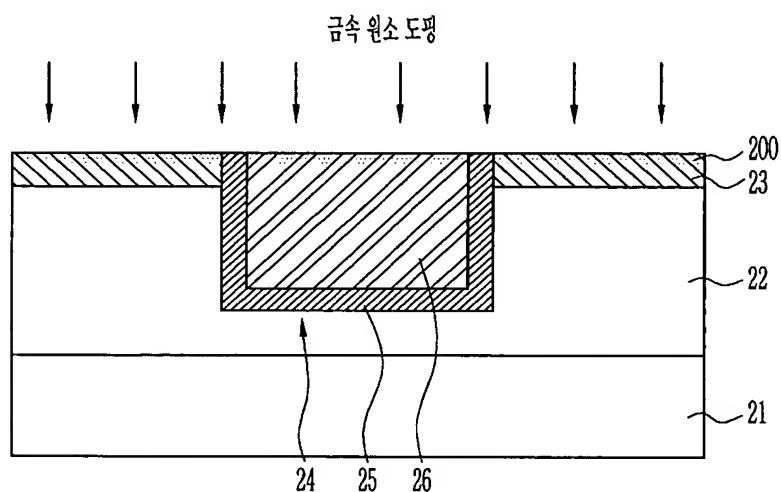
상기 열처리 공정은 100 ~ 500 °C의 온도 범위에서 실시하는 반도체 소자의 구리 배선 형성 방법.

## 【도면】

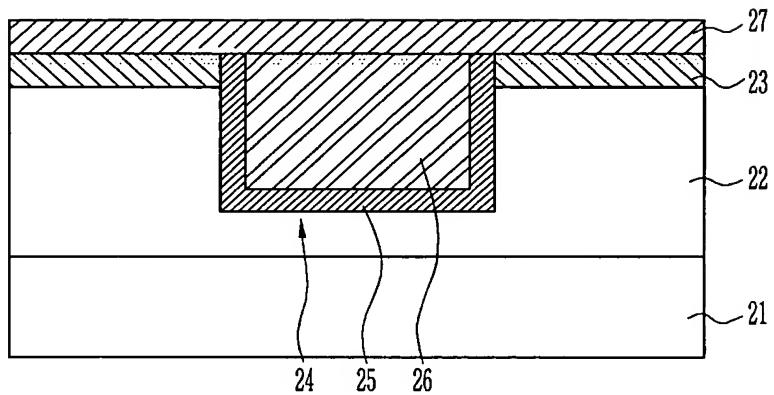
【도 1】



【도 2a】



【도 2b】



【도 2c】

